

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-098080

(43)Date of publication of application : 08.04.1994

(51)Int.CI.

H04N 1/028
H04N 5/335

(21)Application number : 04-270827

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 14.09.1992

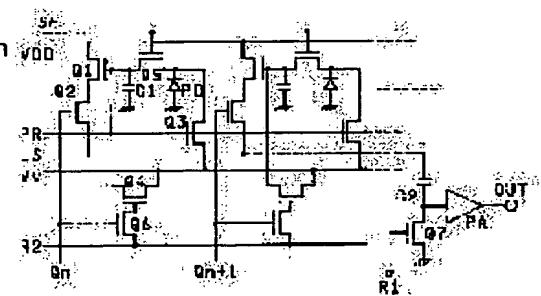
(72)Inventor : IZAWA TETSURO
TAKEMOTO KAYAO
NAKAMURA SHIGEO
SHINOHARA NAOMI

(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PURPOSE: To provide a solid-state image pickup element with low power consumption and provided with an electronic shutter function.

CONSTITUTION: The signal charge of a photodiode PD is transmitted to a capacitor C1 via a switching element Q5 for sensitivity setting, and the holding voltage of the capacitor is taken out via a source follower amplifier element Q1 and a switching element Q2 for selection, and plural photodiodes and picture element cells in which switching elements Q3, Q4 for resetting of capacitor are provided are arranged in line shape, and the photodiodes are reset prior to a timing signal for sensitivity setting, and also, a picture element signal in accordance with a photoelectric conversion signal is outputted via a switching element for readout selection after an output capacitor is reset at a sequentially generated first timing in time series fashion, and the capacitor is reset via a switching element for reset at a second timing, then, a picture element signal setting reset potential as reference can be obtained via the output capacitor.



(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-98080

(43)公開日 平成6年(1994)4月8日

(51) Int.Cl.⁶
H 0 4 N 1/028
5/335

識別記号 庁内整理番号
A 8721-5C
P
E

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-270827

(22)出願日 平成4年(1992)9月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72)発明者 伊沢 哲朗

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72)発明者 竹本 一八男

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(74)代理人 弁理士 德若 光政

最終頁に続く

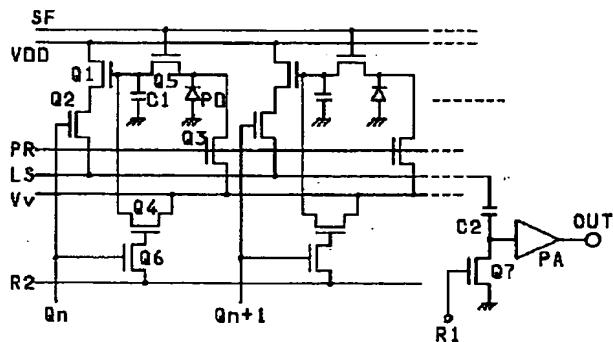
(54)【発明の名称】 固体撮像素子

(57) 【要約】 (修正有)

【目的】 低消費電力で電子シャッタ機能を備えた固体撮像素子を提供する。

【構成】 フォトダイオード P D の信号電荷を感度設定用スイッチ素子 Q 5 を介してキャパシタ C 1 に伝え、その保持電圧をソースフォロワ增幅素子 Q 1 と読み出し選択用スイッチ素子 Q 2 を介して取り出し、フォトダイオードとキャパシタのリセット用スイッチ素子 Q 3 、 Q 4 を設けた画素セルをライン状に複数個配置し、選択用スイッチを介して出力線に一方の電極を結合した出力キャパシタ C 2 を設け、感度設定用タイミング信号に先行してフォトダイオードをリセットすると共に、順次発生する時系列的な第 1 のタイミングにおいて出力キャパシタをリセットした後に読み出し選択用スイッチ素子を介して光電変換信号に対応した画素信号を出力し、第 2 のタイミングにおいてリセット用スイッチ素子を介してキャパシタをリセットし、出力キャパシタを介してリセット電位を基準にした画素信号を得る。

1



【特許請求の範囲】

【請求項1】 完全空乏化フォトダイオード、このフォトダイオードにより光電変換された信号電荷を感度設定用のタイミング信号を受けて転送させる感度設定用スイッチ素子、このスイッチ素子を介して転送された信号電荷を電圧信号に変換するキャパシタ、このキャパシタの保持電圧を受けるソースフォロワ增幅素子、この增幅素子のソース側に設けられる読み出し選択用のスイッチ素子及び上記フォトダイオードとキャパシタにリセット電位をそれぞれ与えるリセット用スイッチ素子とを含む画素セルがライン状に複数個配置され、上記選択用のスイッチを介して出力線に一方の電極が結合された出力キャパシタを含む出力回路を備え、感度設定用タイミング信号に先行して発生されたリセット信号によりリセット用スイッチ素子を介してフォトダイオードにリセット電圧を与える、順次発生される時系列的な第1のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続いて第2のタイミングにおいてリセット用スイッチ素子を介してキャパシタにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を取り出すことを特徴とする固体撮像素子。

【請求項2】 上記画素セルに対応して設けられるキャパシタに比べて出力キャパシタの容量値が大きく形成されるものであることを特徴とする請求項1の固体撮像素子。

【請求項3】 上記1つのライン状に配置される画素セルは、フォトダイオードが一直線上に配置されるのに対して、その読み出し回路とリセット回路及びシフトレジスタが上記フォトダイオード列を挟んで両側に交互に配置され、両側の回路に対応して出力キャパシタが設けられるものであることを特徴とする請求項1又は請求項2の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、固体撮像素子に関し、低電圧での動作が可能で電子シャッタ機能を持たせたラインセンサに利用して有効な技術に関するものである。

【0002】

【従来の技術】 CCD型ラインセンサの例として、テレビジョン学会編『固体撮像デバイス』第7章頁216等がある。また、固体撮像素子の高感度及び高SN比の要求に答えるものとして、例えば1986年のテレビジョン学会全国大会予稿集PP.51-52で報告されているように、フォトダイオードにより形成した光電変換信号をソースフォロワアンプにより直接外部に読み出すものがある。

【0003】

【発明が解決しようとする課題】 CCD型ラインセンサは、CCD素子を駆動するため比較的高い動作電圧を必要とし、比較的消費電力が多くなるとともに周辺回路の構成が複雑になってしまう。また、ハンディタイプのバーコードリーダにあっては、使用条件により外光が大きく変化するので、感度の電気的な自動設定が可能な電子シャッタ機能があると便利である。そこで、本願発明者においては、上記ソースフォロワアンプを用いて高感度化を図りつつ、低消費電力化と電子シャッタ機能を持たせた固体撮像素子の検討を行った。

【0004】 この発明の目的は、低消費電力で電子シャッタ機能を備えた固体撮像素子を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、完全空乏化フォトダイオードにより光電変換された信号電荷を感度設定用のタイミング信号を受けて転送させる感度設定用スイッチ素子を介して電圧信号に変換するキャパシタに伝え、このキャパシタの保持電圧をソースフォロワ增幅素子と読み出し選択用のスイッチ素子を介して取り出し、上記フォトダイオードとキャパシタにリセット電位をそれぞれ与えるリセット用スイッチ素子を設けた画素セルをライン状に複数個配置し、上記選択用のスイッチを介して出力線に一方の電極が結合された出力キャパシタを設け、感度設定用のタイミング信号に先行して上記リセット用スイッチ素子によりフォトダイオードにリセット電圧を与えるとともに、順次発生される時系列的な第1のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続いて第2のタイミングにおいてリセット用スイッチ素子を介してキャパシタにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を得るようにする。

【0006】

【作用】 上記した手段によれば、スイッチ素子の制御によって感度可変動作及び読み出し動作を行うものであるため低電圧での動作が可能となって低消費電力化が図られるとともに、フォトダイオードの信号電荷を電圧信号に変換するキャパシタと出力キャパシタとの容量比に従い信号電荷の増幅動作を行わせることができ、しかもリセット電圧を基準にして読み出し信号を得るものであるため選択経路における素子特性のバラツキの悪影響を受けない。

【0007】

【実施例】 図1には、この発明に係るラインセンサの一実施例の概略回路図が示されている。同図においては、

代表として2画素分の画素セルとその選択回路及び信号読み出し回路が例示的に示されている。上記ラインセンサを構成する各回路素子は、公知の半導体集積回路の製造技術によって、1個の半導体基板上において形成される。

【0008】1つの画素セルは、アノード側電極が回路の接地電位に結合されたフォトダイオードPDと、そのフォトダイオードPDにより形成された光電変換電荷を電圧信号に変換するキャパシタC1に伝える感度設定用のスイッチMOSFET(絶縁ゲート型電界効果トランジスタ、以下同じ)Q5と、上記スイッチMOSFETQ5を介して転送された信号電荷を電圧信号に変換するキャパシタC1と、このキャパシタC1の保持電圧がゲートに供給された増幅MOSFETQ1と、上記フォトダイオードPDのカソード側電極とキャパシタC1にリセット電圧Vvをそれぞれ供給するスイッチMOSFETQ3、Q4と、上記増幅MOSFETQ1のソース側に設けられた読み出し選択用のスイッチMOSFETQ2と、及びスイッチMOSFETQ4のゲートにリセット信号R2を供給するスイッチMOSFETQ6とから構成される。

【0009】フォトダイオードPDは、CCD固体撮像素子に用いられるような完全空乏化フォトダイオードとされる。すなわち、P型のウェル領域とその表面に形成されたN⁺型半導体領域とにより構成されたPN接合によりフォトダイオードを形成するとともに、上記N⁺型半導体領域の表面にP⁺型半導体領域が形成される。そして、上記フォトダイオードPDのカソード側の電極を構成するN⁺型半導体領域にリセット電圧Vvを供給することにより、P型のウェル領域とN⁺型半導体領域とを空乏化する。

【0010】上記読み出し用スイッチMOSFETQ2のゲートと読み出しリセット信号R2をリセットMOSFETQ4のゲートに伝えるスイッチMOSFETQ6のゲートには、読み出し用のシフトレジスタの出力信号Qnが共通に供給される。上記増幅MOSFETQ1のドレインは、5Vのような低い電源電圧VDDが供給される。感度設定用のスイッチMOSFETQ5のゲートには、感度設定用のタイミング信号SFが供給される。また、フォトダイオードPDにリセット電圧Vvを与えるリセットMOSFETQ3のゲートには、リセット信号PRが供給される。同図において、代表として例示的に示されている他の画素セルも上記同様な構成にされる。

【0011】上記読み出し用のスイッチMOSFETが共通に接続される出力線LSには、出力キャパシタC2の一方の電極が接続される。このキャパシタC2の他方の電極には、スイッチMOSFETQ7を介して接地電位が与えられる。このスイッチMOSFETQ7のゲートには、読み出し用のリセット信号R1が供給される。

そして、上記キャパシタC2の他方の電極から出力信号が得られ、プリアンプPAを介して増幅された画素信号が外部端子OUTから送出される。

【0012】上記図1のラインサンサの読み出し動作の一例を第2図に示したタイミング図を参照して説明する。フォトダイオードのリセットパルスPRがハイレベルにされると、スイッチMOSFETQ3がオン状態にされて、フォトダイオードPDは一齊にリセット電圧Vvにリセットされる。その後に転送用のタイミング信号SFが発生されると、転送用のMOSFETQ5がオン状態になるので、フォトダイオードPDで形成された信号電荷は、電圧信号に変換するキャパシタC1に転送される。それ故、上記リセットパルスPRと転送用のタイミング信号SFとの時間差T1が、フォトダイオードPDの蓄積時間とされ、この時間差に比例的にラインセンサとしての感度が高くされる。

【0013】読み出し用のシフトレジスタのシフト動作により、出力信号Qnがハイレベルにされると、それと同期して出力リセット信号R1がハイレベルにされる。この出力リセット信号R1のハイレベルに応じてスイッチMOSFETQ7がオン状態にされている。

【0014】上記キャパシタC1には、上記光電変換電荷に対応した信号電荷を保持し、それに対応した電圧信号を発生している。それ故、上記出力信号Qnのハイレベルに応じて読み出し用のスイッチMOSFETQ2がオン状態にされると、増幅MOSFETQ1とこのスイッチMOSFETQ2を通してキャパシタC2にはキャパシタC1に保持された信号電圧に対応したチャージアップ動作が行われる。このような信号の読み出し動作に応じて出力線LSの電位は、上記キャパシタC1の保持電圧から増幅MOSFETQ1のゲート、ソース間のしきい値電圧に対応してレベルシフトされた読み出し電圧となり、それがキャパシタC2に保持される。

【0015】上記のリセット信号R1がハイレベルからロウレベルに変化し、スイッチMOSFETQ5がオフ状態にされると、リセット信号R2がハイレベルになり、シフトレジスタの出力信号Qnによってオン状態にされているスイッチMOSFETQ6を通してリセット信号R2がリセット用MOSFETQ4のゲートに伝えられる。これにより、リセット用MOSFETQ4がオン状態となり、キャパシタC1、言い換えるならば、増幅MOSFETQ1のゲートにリセット電圧Vvを供給する。

【0016】このとき、読み出し用のスイッチMOSFETQ2はオン状態を維持しているので、出力線LSには上記リセット電圧Vvに対応した出力信号Vv'が増幅MOSFETQ1を介して出力される。すなわち、出力線LSの電位Vv'は、上記リセット電圧Vvから増幅MOSFETQ1のしきい値電圧に対応してレベルシフトされた電圧となり、キャパシタC2の他端の電極か

らはリセット電圧 V_v を基準にした読み出し信号が得られる。このようなりセット電圧 V_v を基準にした読み出し信号には、キャパシタ C 2 での差成分の取り出しにより増幅 MOSFET Q 1 のしきい値電圧が相殺されるので、そのプロセスバラツキの影響を受けない高品質の画像信号をプリアンプ PA を介して出力端子 OUT から得ることができる。

【0017】次のタイミングで次段のシフトレジスタの出力信号 Q_{n+1} がハイレベルにされると、次段のフォトダイオードから同様な読み出し信号が得られる。このようにして、ライン上に配置されたフォトダイオードの光電変換電荷に対応した読み出し信号をシフトレジスタのシフト動作に対応して時系列的に出力させることができる。

【0018】上記の構成では、キャパシタ C 1 とキャパシタ C 2 の容量比に対応して信号電荷が増幅される。上記キャパシタ C 1 を極力小さなサイズにするとともに、キャパシタ C 2 の容量値を比較的大きく形成することにより、ラインセンサの内部回路で信号電荷の増幅作用を持たせることができる。しかも、上記のように出力信号には、上記のリセット電圧 V_v を基準にしているため、増幅 MOSFET Q 1 やスイッチ MOSFET Q 2 のプロセスバラツキも相殺させることができる。

【0019】なお、カラーラインセンサを構成する場合には、例えば上記シフトレジスタ SR を共通化して、上記のような画素セルと読み出し回路とを三原色に対応して 3 組設けるようにすればよい。

【0020】図 3 には、この発明に係るラインセンサの他の一実施例の要部回路図が示されている。この実施例では、フォトダイオードに比べて、その読み出し回路とリセット回路が占める面積が大きいことから、フォトダイオード列に対して読み出し回路とリセット回路とシフトレジスタとが上下に分割されて配置される。これにより、フォトダイオードを高密度で半導体基板上に形成することができる。

【0021】この実施例では、キャパシタ C 1 をリセットさせるリセット用 MOSFET Q 4 は、次の回路によりスイッチ制御させられる。リセット用 MOSFET Q 4 のゲートには、ダイオード形態の MOSFET Q 7 を介して供給される下側のシフトレジスタ SR 1 の出力信号 $Q_{(2n-1)}$ によりスイッチ制御される MOSFET Q 6 を通してリセット信号 R 2 が供給される。それ故、MOSFET Q 4 のゲート電圧は、上記シフトレジスタの出力信号 $Q_{(2n-1)}$ のハイレベルから、MOSFET Q 7 のしきい値電圧及び MOSFET Q 6 のしきい値電圧分だけレベル低下されたリセット信号しか供給されない。そこで、MOSFET Q 6 のゲートとソース側、言い換えるならば、スイッチ MOSFET Q 4 のゲートとの間にブートストラップ容量 C 3 が設けられる。上記 MOSFET Q 6 のゲートと回路の接地線 S と

の間には、クロックパルス CL 2 によりスイッチ制御されるスイッチ MOSFET Q 8 が設けられる。

【0022】上側のシフトレジスタ SR 2 からは、偶数段出力信号 Q_{2n} が形成される。上下に分割されてなるシフトレジスタ SR 1 と SR 2 は、クロックパルス CL 1 と CL 2 によりシフト動作を行う。上記奇数段の出力信号 $Q_{(2n-1)}$ は、クロックパルス CL 1 に同期して出力され、偶数段の出力信号 Q_{2n} は、クロックパルス CL 2 に同期して出力される。偶数段の出力信号 Q_{2n} と、上記のようなりセット信号 R 2 及びクロックパルス CL 1 により、上記読み出し用のスイッチ MOSFET やリセット用 MOSFET 等の制御信号を形成する上記同様な回路 SEL が設けられる。同図では、上記回路 SEL はブラックボックスとして示されている。

【0023】出力回路は、上記のような読み出し回路の上下の分割に応じて 2 つの出力キャパシタ C 21 と C 22 が設けられる。この実施例では、キャパシタ C 21 と C 22 の出力線 LS 1 と LS 2 側にも、スイッチ MOSFET Q 9 1 と Q 9 2 が設けられる。クロックパルス CL 1 に同期して出力信号が供給される奇数列のフォトダイオードの出力線 LS 1 に対応したスイッチ MOSFET Q 9 1 のゲートには、クロックパルス CL 2 が供給される。キャパシタ C 21 の他方の電極は、クロックパルス CL 1 によりスイッチ制御されるスイッチ MOSFET Q 11 1 を介してプリアンプの入力端子と、リセット用 MOSFET Q 10 に接続される。このリセット用 MOSFET Q 10 には、リセット信号 R 1 が供給される。

【0024】クロックパルス CL 2 に同期して出力信号が供給される偶数列のフォトダイオードの出力線 LS 2 に対応したスイッチ MOSFET Q 9 2 のゲートには、クロックパルス CL 1 が供給される。キャパシタ C 22 の他方の電極は、クロックパルス CL 2 によりスイッチ制御されるスイッチ MOSFET Q 11 2 を介してプリアンプの入力端子と、リセット用 MOSFET Q 10 に接続される。このようなクロックパルス CL 1 と CL 2 によりスイッチ制御される MOSFET Q 9 1 と Q 9 2 及び Q 11 1 と Q 11 2 のスイッチング動作により、奇数列と偶数列のフォトダイオード PD の出力信号を交互にキャパシタ C 21, C 22 を介して取り出すことができる。

【0025】プリアンプは、増幅 MOSFET Q 13 と負荷 MOSFET Q 12 からなる反転増幅回路と、この反転増幅回路の出力信号を受けるソースフォロワ出力 MOSFET Q 14 と、そのソース側に設けられた負荷 MOSFET Q 15 から構成される。特に制限されないが、負荷 MOSFET Q 15 は、そのゲートとソースが共通化されたデプレッシャン型 MOSFET から構成される。

【0026】図 4 には、上記ラインセンサの動作の一例を説明するためのタイミング図が示されている。同図で

は、省略されているが、図2のタイミング図と同様に、リセットパルスPRが転送パルスSFに先行して発生され、その時間差T1に対応した光電変換電荷が、それぞれキャパシタC1等に転送されている。この状態において、クロックパルスCL1がハイレベルのときに、それと同期して奇数段のシフトレジスタSR1の出力信号Q(2n-1)がハイレベルにされる。このシフトレジスタSR1の出力信号Q(2n-1)により、読み出し用のスイッチMOSFETQ2がオン状態にされる。また、ダイオード形態のMOSFETQ7を通してMOSFETQ6がオン状態となり、キャパシタC3にプリチャージ動作が行われる。上記読み出し用のスイッチMOSFETQ2のオン状態により、キャパシタC1に保持されている信号電圧は、増幅MOSFETQ1とスイッチMOSFETQ2を通して出力線LS1に出力される。

【0027】上記のようなクロックパルスCL1のハイレベルに先立って、言い換えるならば、1つ前の偶数列のフォトダイオードの読み出し動作のときのクロックパルスCL2のハイレベルにより、スイッチMOSFETQ91がオン状態となって出力用線LS1を回路の接地電位にリセットしている。また、スイッチMOSFETQ8のオン状態により、MOSFETQ6のゲート電圧V1を回路の接地電位にリセットしている。そして、上記のような奇数段の出力信号Q(2n-1)のハイレベルへの変化に同期し、スイッチMOSFETQ111がオン状態であること、及びリセットパルスR1がハイレベルによりMOSFETQ10がオン状態であることから、出力線号LS1に読み出された信号に対応した出力信号がキャパシタC21に保持される。また、出力信号Q(2n-1)のハイレベルにより、スイッチMOSFETQ6のゲート電圧V1は、ダイオード形態のMOSFETQ7のしきい値電圧分レベルシフトされたハイレベルになっている。

【0028】リセット信号R2がハイレベルにされると、キャパシタC3によるブーストストラップ作用によってMOSFETQ4のゲート電圧V2の電位は高くされる。それ故、キャパシタC1にはレベル損失なくスイッチMOSFETQ4を通してリセット電圧Vvが供給される。この結果、出力線LS1の電位は、上記リセット電圧Vvを基準にした出力電圧に変化させられる。

【0029】このとき、出力リセット信号R1はロウレベルにされており、これに応じてスイッチMOSFETQ10がオフ状態にされている。したがって、キャパシタC21の出力側はフローテンシング状態にされており、増幅MOSFETQ13のゲートには、上記MOSFETQ1, Q2の読み出し経路のプロセスバラツキや、リセット経路のプロセスバラツキを相殺させた信号電荷に対応した出力信号が出力される。

【0030】このような奇数列の読み出し動作のときに

は、クロックパルスCL1のハイレベルに応じてスイッチMOSFETQ92がオン状態となっており、次に読み出し動作に備えて、偶数列に対応した出力線LS2とキャパシタC22のリセット動作を行うものである。

【0031】クロックパルスCL2がハイレベルにされると、それと同期して偶数段のシフトレジスタSR2の出力信号Q2nがハイレベルにされる。このシフトレジスタSR2の出力信号Q2nにより、上記同様に奇数列のフォトダイオードの読み出し動作が開始されて出力線SL2に第1段階での読み出し信号が得られる。この信号は、オン状態にされているスイッチMOSFETQ112とMOSFETQ10により、キャパシタC22に保持される。

【0032】引き続いて、リセット信号R2がハイレベルにされると、同図では省略されているが、上記同様に出力線LS2はリセット電圧Vvを基準にした出力電圧に変化させられる。このとき、出力リセット信号R1はロウレベルにされており、これに応じて上記スイッチMOSFETQ10がオフ状態にされている。したがって、キャパシタC22の出力側はフローテンシング状態にされており、増幅MOSFETQ13のゲートには、上記偶数列のフォトダイオードに対応した増幅MOSFETや読み出し用のスイッチMOSFET及びリセット用のMOSFETプロセスバラツキ分を相殺させた信号電荷に対応した出力信号が出力される。

【0033】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 完全空乏化フォトダイオードによって光電変換された信号電荷を転送ゲートを構成するスイッチMOSFETを介して電圧信号に変換するキャパシタに転送し、このキャパシタの保持電圧をソースフォロワ増幅素子と読み出し選択用のスイッチ素子を介して出力線に出力させるとともに、上記フォトダイオードとキャパシタにリセット電位をそれぞれ与えるリセット用スイッチ素子を設け、このような画素セルをライン状に複数個配置し、上記出力線に一方の電極が結合された出力キャパシタを設け、感度設定用のタイミング信号に先行して上記リセット用スイッチ素子によりフォトダイオードにリセット電圧を与えるとともに、順次に時系列的に第1のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続いて第2のタイミングにおいてリセット用スイッチ素子を介して当該フォトダイオードにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を得るようにする。この構成では、MOSFETのようなスイッチ素子の制御によって電子シャッタ動作と読み出し動作を行うものであるため約5Vのような単一の低電圧での動作が可能となって低消費電力化が図られるという効果が得られる。

【0034】(2) 上記(1)により、フォトダイオードの信号電荷を電圧信号に変換するキャパシタと出力キャパシタとの容量比に従い信号電荷の増幅動作を行わせることができ、しかもリセット電圧を基準にして読み出し信号を得るものであるため選択経路における素子特性のバラツキの悪影響を受けなくできるという効果が得られる。

【0035】(3) フォトダイオード列に対してシフトレジスタ及び読み出し系回路とリセット系回路を上下に振り分けて分割することにより、フォトダイオードを高密度に実装することができるという効果が得られる。

【0036】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の実施例回路において、リセット用MOSFETをPチャンネルMOSFETとし、増幅MOSFETをNチャンネルMOSFETとするCMOS構成としてもよい。この場合、リセット信号PRやR2が回路の接地電位のようなロウレベルにしてリセットを行うようにすることによって、フォトダイオードPDやキャパシタC1に与えられるリセット電圧VVをそのまま伝えることができる。すなわち、動作電圧を約3Vのような低電圧化を図ったときに、電源電圧VDDとリセット電圧VVとが同じ電圧になるような場合、上記のようなCMOS構造とすることにより、リセット用MOSFETとしてNチャンネル型MOSFETを用いた場合のようにしきい値電圧によるレベル低下を防止することができる。

【0037】シフトレジスタSR1, SR2の出力にブートストラップ回路を設けるか、あるいは動作電圧 자체を昇圧された電圧とすることにより、Nチャンネル型のリセットMOSFETを用いても上記のようにリセット電圧VVのレベル損失を防止することができる。フォトダイオード列を複数行設けることにより、エリアセンサを構成することもできる。この場合には、上記のような出力キャパシタの出力側に列選択用回路を設けて、プリアンプの入力端子に入力すればよい。

【0038】この発明に係る固体撮像素子は、5Vのような比較的低い電圧により動作が可能であるため、例えばハンディタイプのバーコードリーダー等に適したものとすることができる。特に、全の信号電荷を同じタイミングでキャパシタに転送させるものであるため、手振れ等によりバーコードを誤って読み取るような動作を防止することができる。上記のようなハンディタイプの装置に搭載される固体撮像素子にあっては、電池を電源とし

て用いることが便利であり、その動作電圧の低電圧化により電池の数や電池寿命を長くできる。

【0039】この発明に係る固体撮像素子は、上記のようなハンディタイプのバーコードリーダーの他、ラインセンサあるいはエリアセンサとして各種の撮像装置に広く利用できるものである。

【0040】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、完全空乏化フォトダイオードによって光電変換された信号電荷を転送ゲートを構成するスイッチMOSFETを介して電圧信号に変換するキャパシタに転送し、このキャパシタの保持電圧をソースフォロワ増幅素子と読み出し選択用のスイッチ素子を介して出力線に出力せざるとともに、上記フォトダイオードとキャパシタにリセット電位をそれぞれ与えるリセット用スイッチ素子を設け、このような画素セルをライン状に複数個配置し、上記出力線に一方の電極が結合された出力キャパシタを設け、感度設定用のタイミング信号に先行して上記リセット用スイッチ素子によりフォトダイオードにリセット電圧を与えるとともに、順次に時系列的に第1のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続いて第2のタイミングにおいてリセット用スイッチ素子を介して当該フォトダイオードにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を得るようにする。この構成では、MOSFETのようなスイッチ素子の制御によって電子シャッタ動作と読み出し動作を行うものであるため約5Vのような単一の低電圧での動作が可能となって低消費電力化が図られる。

【図面の簡単な説明】

【図1】この発明に係るラインセンサの一実施例を示す概略回路図である。

【図2】図1のラインセンサの動作の一例を説明するためのタイミング図である。

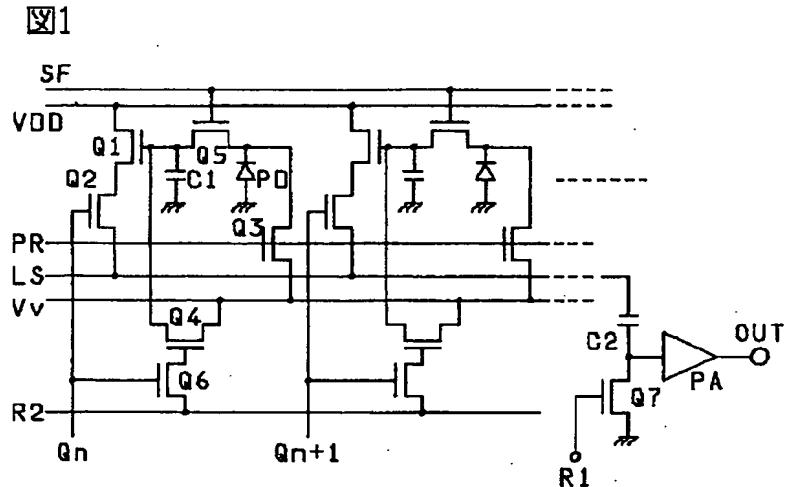
【図3】この発明に係るラインセンサの他の一実施例を示す要部回路図である。

【図4】図3に示されたラインセンサの動作の一例を説明するためのタイミング図である。

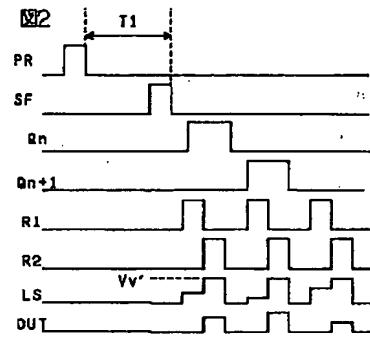
【符号の説明】

SR1, SR2…シフトレジスタ、PD…フォトダイオード、Q1～Q112…MOSFET、C1～C3…キャパシタ。

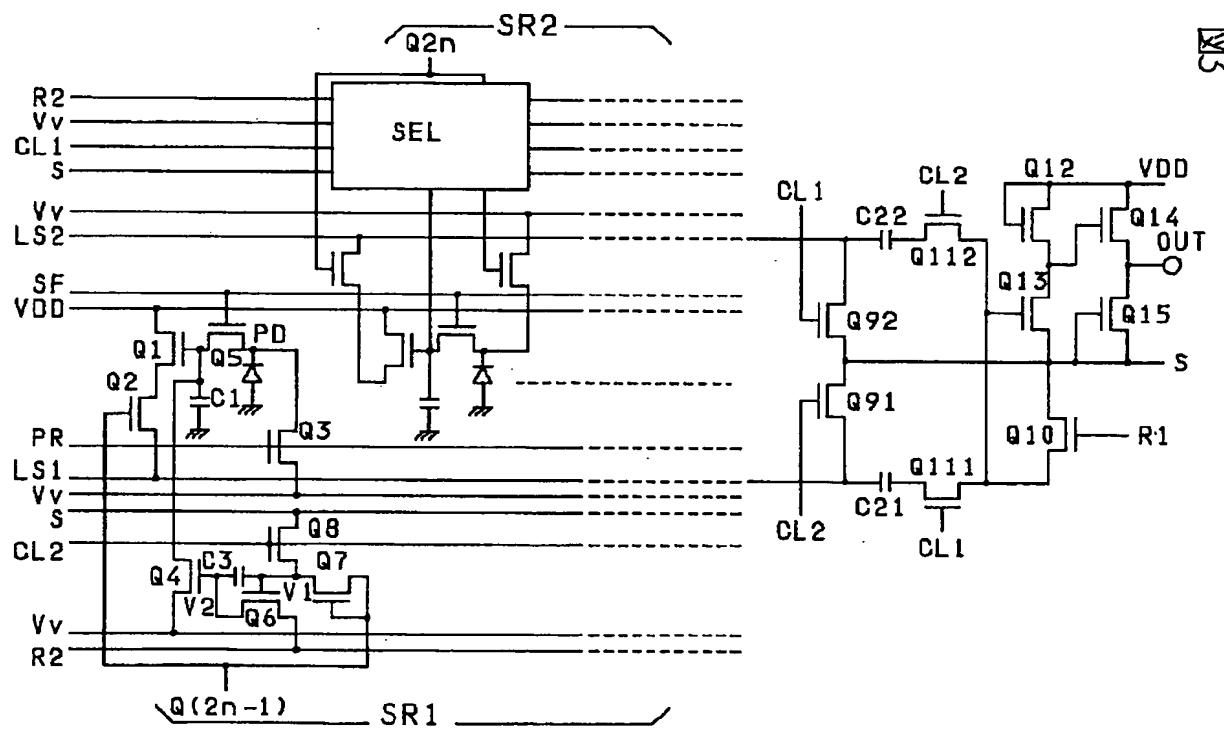
【図1】



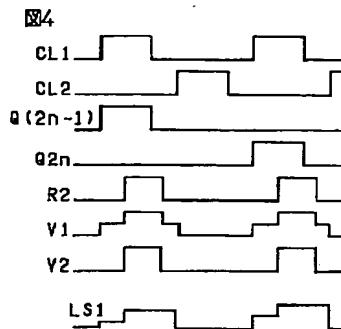
【図2】



【図3】



【図4】



フロントページの続き

(72) 発明者 中村 重雄

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72) 発明者 篠原 奈緒美

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内